

**PAT-NO: JP405048406A**

**DOCUMENT-IDENTIFIER: JP 05048406 A**

**TITLE: SYNCHRONOUS TRIANGLE WAVE GENERATING CIRCUIT**

**PUBN-DATE: February 26, 1993**

**INVENTOR-INFORMATION:**

**NAME**

**HIWADA, SHIYUUHEI**

**ASSIGNEE-INFORMATION:**

**NAME**

**BROTHER IND LTD**

**COUNTRY**

**N/A**

**APPL-NO: JP03200462**

**APPL-DATE: August 9, 1991**

**INT-CL (IPC): H03K004/06**

**US-CL-CURRENT: 327/136**

**ABSTRACT:**

**PURPOSE:** To realize the synchronous triangle wave generating circuit generating a triangle wave immediately synchronously with a clock whose phase is discontinuous or an intermittent clock.

**CONSTITUTION:** The synchronous triangle wave generating circuit provided with a charging/discharging constant current source 2 generating a charging

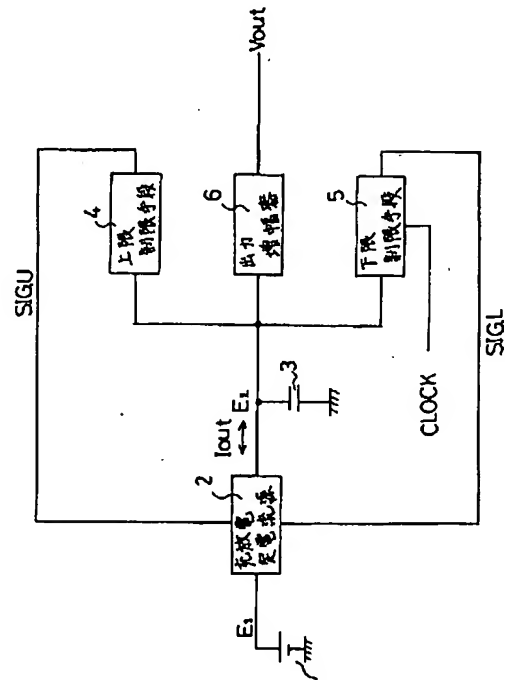
**current**

**and a discharging current, a capacitor 3 charged/discharged by the charging/discharging constant current source 2, and a charge/discharge changeover means selecting charge/discharge to/from the capacitor based on a**

**clock used for synchronization inputted externally, is also provided with an upper limit means 4 regulating an upper limit voltage of the capacitor 3 and a**

**lower limit means 5 regulating a lower limit voltage of the capacitor 3.**

**COPYRIGHT: (C)1993,JPO&Japio**



1

## 【特許請求の範囲】

【請求項1】 充電電流を発生する充電用定電流源と、放電電流を発生する放電用定電流源と、前記充電用定電流源および前記放電用定電流源により充放電されるコンデンサと、外部より入力される同期すべきクロックにより前記コンデンサへの充放電を切り換える充放電切り替え手段とを有する同期式三角波発生回路において、前記コンデンサの上限電圧を制限する上限制限手段と、前記コンデンサの下限電圧を制限する下限制限手段とを具備することを特徴とする同期式三角波発生回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、同期式三角波発生回路に関し、更に詳細には、外部より入力されるクロックに同期した三角波を発生する同期式三角波発生回路に関する。

## 【0002】

【従来の技術】従来、外部より入力されるクロックに同期する三角波を発生する同期式三角波発生回路においては、図7のような構成となっていた。図7を参照しながら、従来回路の構成を説明する。

【0003】電流基準電圧源101は、後述のコンデンサ104への充放電電流のおおよその基準となる電圧Eaを出力し、電圧利得制御増幅器102に接続される。

【0004】電圧利得制御増幅器102は、入力される電圧Eaを利得制御電圧Ecにより増幅率を変化させ電圧Ebを出力する。電圧利得制御増幅器102は、図8\*

$$I_a = I_b = I_c = I_d = I_e \quad \text{式1}$$

となる。図9で明らかなように充放電定電流源103の出力である電流Ioutは、式2のようになる。 ※【0008】

$$I_{out} = I_c - (I_d + I_e) \quad \text{式2}$$

となる。

【0009】レベル変換バッファ137は、CLOCKが入力され、CLOCKが論理レベル「H」の時高イン★

$$I_d = I_e = 0 \quad \text{式3}$$

となる。式1、式2、式3より

$$I_{out} = I_a \quad \text{式4}$$

となる。このため、充放電定電流源103は、電流Ia 40☆るとNPN型トランジスタ135、136は、動作状態となり

【0010】また、CLOCKが論理レベル「L」とな☆

$$I_d = I_e = I_a \quad \text{式5}$$

となる。さらに式1、式2、式5より

$$I_{out} = -I_a \quad \text{式6}$$

となる。このため、充放電定電流源103は、電流Iaと異符号の同電流値を電流Ioutとして出力する。

【0011】コンデンサ104は、端子aが接地され端子bは充放電定電流源103出力に接続される。充放電定電流源103より出力される電流Ioutは、定電◆50

2

\*で示すように演算増幅器110と抵抗器111、112、114とコンデンサ113とNチャンネルの電界効果型トランジスタ（以下FETと略す）115とにより構成される。図8の回路は、公知の回路であり詳細な動作説明は略す。

【0005】充放電定電流源103は、入力される電圧Ebに対応する出力として電流IoutをCLOCKに同期して変化させ出力する。充放電定電流源103は、図9で示すように演算増幅器120とNチャンネルのFET121とNPN型トランジスタ122と抵抗器123、124とで構成される電圧-電流変換部と、抵抗器125、126、127、128、129、130とPNP型トランジスタ131、132、133と、NPN型トランジスタ134、135、136とで構成される充放電定電流源部と、出力が高インピーダンス状態あるいは電源電圧と等しい電圧-Vccを出力するレベル変換バッファ137とにより構成される。

【0006】電圧-電流変換部は、公知の回路なので詳細な動作説明は略す。電圧-電流変換部は、演算増幅器120の非反転入力端子に電圧利得制御増幅器102の出力される電圧Ebが入力され、電流Iaを出力する。

【0007】充放電定電流源部は、公知のカレント・ミラー回路を用いた充電用定電流源及び放電用定電流源の組合せにより構成されるため詳細な動作説明は略す。説明を簡略化するために抵抗器125、126、127、128、129、130の値を全て等しくし、レベル変換バッファ137の出力状態を電源電圧と等しい電圧-Vccとする。各部の電流は、

★ピーダグンスとなり、論理レベル「L」の時電圧-Vccとなる。CLOCKが論理レベル「H」となるとNPN型トランジスタ135、136は、非動作状態となり

◆流であるためコンデンサ104の端子bに発生する電圧Edは、式9、式10で示すような変化を持ったものとなる。

【0012】CLOCKが論理レベル「H」の時は、  
【0013】

【数1】

$$E_d = \frac{1}{Ct} \int I_a dt$$

式7

【0014】CLOCKが論理レベル「L」の時は、

\*【数2】

【0015】

\*

$$E_d = \frac{1}{Ct} \int -I_a dt$$

式8

【0016】なお、Ctは、コンデンサー104の値である。式7、式8よりCLOCKのデューティが50%即ち論理レベル「H」と「L」が等時間あれば電圧Edは、三角波になる。

【0017】検波器105は、入力される電圧Edを尖頭値検波を行い電圧Eeを出力する。

【0018】検波器105は、図10で示すようにダイオード140、コンデンサー141、抵抗器142により構成される。

【0019】振幅基準電圧源107は、同期式三角波発生回路の出力である信号Voutの振幅の基準となる電

$$E_c = E_f - E_e$$

出力増幅器108は、コンデンサー104の端子bに発生した電圧Edを増幅し、信号Voutとして出力する。

【0022】次に、図7を参照しながら、従来回路の動作を説明する。

【0023】電流基準電圧源101は、電流Ioutのおおよその基準となる電圧Eaを発生する。

【0024】電圧利得制御増幅器102は、電流基準電圧源101より入力される電圧Eaを利得制御電圧Ecの指示に従い増幅し電圧Ebを出力する。

【0025】充放電定電流源103は、入力される電圧Ebに基づき電流Ioutの電流値を定め、かつ外部より入力されるCLOCKに同期して電流Ioutの符号を切り換える。

【0026】コンデンサー104は、電流Ioutの符号変化により充放電が行われ、端子bに電圧Ed即ちCLOCKに同期した三角波を発生する。

【0027】検波器105は、電圧Edを尖頭値検波を行い電圧Eeを出力する。

【0028】引算器106は、振幅基準電圧源107の出力である電圧Efから電圧Eeを引算し、振幅基準電圧源107の出力である電圧Efに対する電圧Edの振幅誤差分を示す電圧である利得制御電圧Ecを出力する。

【0029】電圧Edの振幅が減少すると利得制御電圧Ecは、正電圧でかつ上昇し、電圧利得制御増幅器102の増幅率が増大し、電流Ioutが増大し、電圧Ed★50

※電圧Efを出力し、後述の引算器106の端子dに接続されている。

【0020】引算器106は、図11で示すように演算増幅器145、抵抗器146、147、148、149により構成される。説明を簡略化するために抵抗器146、147、148、149の値を全て等しくする。引算器106は、端子cに上述の検波器105の出力である電圧Eeが接続され、端子dに上述の振幅基準電圧源107の出力である電圧Efが接続され式9で示す演算を行い利得制御電圧Ecを出力する。

【0021】

式9

★の振幅が増大する。また、電圧Edの振幅が増大すると利得制御電圧Ecは、負電圧または0Vに近づき、電圧利得制御増幅器102の増幅率が減少し、電流Ioutが減少し、電圧Edの振幅が減少する。上述より電圧利得制御増幅器102、充放電定電流源103、コンデンサー104、検波器105、引算器106よりなる閉ループ制御系が形成され電圧Edの振幅が一定になる動作が行われる。

【0030】出力増幅器108は、振幅が一定な電圧Edを増幅し信号Voutとして出力される。

【0031】以上より、従来の同期式三角波発生回路は、図12に示すように連続したデューティ50%のクロックをCLOCKとして入力することにより信号VoutとしてCLOCKと同期し、振幅が一定な三角波を出力する。

【0032】

【発明が解決しようとする課題】しかしながら、クロックが、図13の波形150の区間152、153のような位相不連続や図14の波形156の区間158、159、160のような断続のようなクロックを従来の同期式三角波発生回路の入力すると、図13の波形151の区間154、155や図14の波形157の区間161、162、163のような正常な三角波でない異常区間が生じてしまう。

【0033】上述の異常区間では、従来の同期式三角波発生回路内の時定数を有する部分が三角波を定常発生している時の電圧範囲から大幅にずれてしまう。そして定

5

常状態に復帰するのに長時間要することに起因するものである。

【0034】しかし、復帰に要する時間を短縮すると出力である三角波の振幅の安定度が悪化し良好なパルス幅変調が困難になる。

【0035】本発明は、上述した問題点を解決するためになされたものであり、時定数を有する部分に発生する電圧を制限することにより、位相不連続あるいは断続のクロックに対し即同期した三角波を発生する同期式三角波発生回路を提供することを目的としている。

【0036】

【課題を解決するための手段】この目的を達成するために本発明の同期式三角波発生回路は、充電電流を発生する充電用定電流源と、放電電流を発生する放電用定電流源と、前記充電用定電流源および放電用定電流源により充放電されるコンデンサと、外部より入力される同期すべきクロックにより前記コンデンサへの充放電を切り換える充放電切り替え手段とを有する同期式三角波発生回路において、前記コンデンサの上限電圧を規制する上限制限手段と、前記コンデンサの下限電圧を規制する下限制限手段とから構成されている。

【0037】

【作用】上記の構成を有する本発明の作用は以下の通りである。

【0038】上限制限手段は充放電定電流源により充電されるコンデンサに発生する電圧を検知し制限すべき上限電圧に達すると充電を中止する。

【0039】そして、下限制限手段は充放電定電流源により放電されるコンデンサに発生する電圧を検知し制限すべき下限電圧に達すると放電を中止する。

【0040】上限制限手段と下限制限手段により前記コンデンサに発生する電圧を定常発生する三角波の正ピーク電圧と負ピーク電圧の範囲に規制することによりクロックに対し即同期した三角波を発生させる。

【0041】

【実施例】以下、本発明を具体化した一実施例を図面を参照して説明する。

【0042】最初に図1から図4を用い本発明の同期式三角波発生回路の構成を説明する。

【0043】電流基準電圧源1は、後述の電流 $I_{out}$ の基準となる電圧 $E_1$ を発生し、充電用定電流源及び放電用定電流源を含む充放電定電流源2へ出力する。

【0044】充放電定電流源2は、上限制限手段4より出力される信号 $SIG_U$ と下限制限手段5より出力される信号 $SIG_L$ とが入力されることにより、電圧 $E_1$ に対応した電流 $I_{out}$ の入出力を制御される。充放電定電流源2は、電圧-電流変換部と充放電定電流源部とにより構成され図2のようになっている。電圧-電流変換部は、次のように構成されている。演算増幅器10の出力は、NチャンネルのFET11のゲートに接続さ

6

れる。FET11のドレインは、NPN型トランジスタ12のコレクタと、後述の充放電定電流源部を構成するPNP型トランジスタ18のベースとコレクタに接続されている。FET11のソースは、NPN型トランジスタ12のベースと、抵抗器13に接続される。抵抗器13の他端は、NPN型トランジスタ12のエミッタと、演算増幅器10の反転端子に接続され、抵抗器14を介しグランドに接続される。

【0045】充電用定電流源及び放電用定電流源からなる充放電定電流源部は、次のように構成されている。PNP型トランジスタ18のエミッタは、抵抗器15を介し電圧 $+V_{cc}$ の電源に接続される。PNP型トランジスタ18のベースとコレクタは、PNP型トランジスタ19、20の各々のベースに接続される。PNP型トランジスタ19のエミッタは、抵抗器16を介し電圧 $+V_{cc}$ の電源に接続される。PNP型トランジスタ19のコレクタは、NPN型トランジスタ21のコレクタと、NPN型トランジスタ21、22、23の各々のベースに接続される。NPN型トランジスタ21のエミッタは、抵抗器24を介し電圧 $-V_{cc}$ の電源に接続される。PNP型トランジスタ20のエミッタは、抵抗器17を介し上限制限手段4の出力に接続される。PNP型トランジスタ20のコレクタは、NPN型トランジスタ22、23の各々のコレクタと、上限制限手段4の入力と、下限制限手段5の入力と、出力増幅器6の入力に接続され、コンデンサ3を介しグランドに接続される。NPN型トランジスタ22、23の各々のエミッタは、各々抵抗器25、26を介し下限制限手段5の出力に接続される。

【0046】コンデンサ3は、充放電定電流源2より入出力される電流 $I_{out}$ により充放電されることにより三角波である電圧 $E_2$ を発生する。

【0047】上限制限手段4は、入力される電圧 $E_2$ が所定の電圧以下であるかを監視し、電圧 $E_2$ が所定の電圧を上回ると信号 $SIG_U$ を充放電定電流源2へ発し、電圧 $E_2$ の上昇を止める。上限制限手段4は、図3のように構成される。比較器30の反転端子は、上限基準電圧源31より出力される電圧 $E_3$ が入力される。比較器30の出力は、レベル変換バッファ32の入力に接続される。上限基準電圧源31は、定常に発生する時の三角波の正ピーク電圧と等しい電圧 $E_3$ を出力する。

【0048】比較器30の出力は、(電圧 $E_2$ の正ピーク電圧) > (電圧 $E_3$ ) の場合論理レベル「H」であり、(電圧 $E_2$ の正ピーク電圧)  $\leq$  (電圧 $E_3$ ) の場合論理レベル「L」である。レベル変換バッファ32は、入力が論理レベル「H」の場合出力は、高インピーダンスとなり、入力が論理レベル「L」の場合出力は、電圧 $+V_{cc}$ となる信号 $SIG_U$ を出力する。

【0049】下限制限手段5は、入力される電圧 $E_2$ が所定の電圧以上であるかを監視し、電圧 $E_2$ が所定の電

7

8

圧を下回ると信号SIG. Lを充放電定電流源2へ発し、電圧E2の下降を止める。また、下限制限手段5は、入力されるCLOCKにより電流Ioutの入出力を切り換える。下限制限手段5は、図4のように構成される。比較器35の非反転端子は、下限基準電圧源36より出力される電圧E4が入力される。比較器35の出力は、2入力の論理和ゲート37の片方の入力に接続される。論理和ゲート37の残りの入力には、同期すべき信号であるCLOCKが入力される。論理和ゲート37の出力は、レベル変換バッファ38の入力に接続される。下限基準電圧源36は、定常に発生する時の三角波の負ピーク電圧と等しい電圧E4を出力する。比較器35の出力は、(電圧E2の負ピーク電圧) ≥ (電圧E4) の場合論理レベル「L」であり、(電圧E2の負ピーク電圧) < (電圧E4) の場合論理レベル「H」である。レベル変換バッファ38は、入力が論理レベル「H」の場合出力は、高インピーダンスとなり、入力が論理レベル「L」の場合出力は、電圧-Vccとなる信号SIG. Lを出力する。

【0050】充放電切り替え手段は、論理和ゲート37 20 に入力されるCLOCKによりコンデンサ3への充放電を変化させるため、下限制限手段5に含まれる構成となる。

$$I1 = I2 = I3 = I4 = I5$$

式10

となる。図2で明らかなようにコンデンサ3を充放電する充放電定電流源部の出力である電流Ioutは、式※

$$Iout = I3 - (I4 + I5)$$

式11

となる。

【0056】以下、CLOCKが連続の時の動作説明をする。

【0057】この動作状態は、論理和ゲート37にデューティ50%の連続したクロックをCLOCKとして入力し、電流Ioutにより充放電によりコンデンサ3★

$$E2 = \frac{1}{C} \int Iout dt$$

式12

【0059】上限制限手段を構成する比較器30は、コンデンサ3に発生する電圧E2の正ピーク電圧と、上限基準電圧源31より出力される電圧E3とを比較し、(電圧E2の正ピーク電圧) ≤ (電圧E3) となり論理レベル「L」を出力する。

【0060】下限制限手段を構成する比較器35は、コンデンサ3に発生する電圧E2の負ピーク電圧と、下限基準電圧源36より出力される電圧E4とを比較し、☆

$$I4 = I5 = 0$$

式13

となる。式10、式11、式13より

$$Iout = I1$$

式14

となる。このため、充放電定電流源部は、電流I1と同電流値を電流Ioutとして出力し、コンデンサ3を◆50

\*【0051】出力増幅器6は、コンデンサ3を充放電定電流源2により充放電することにより発生する三角波である電圧E2を入力され増幅し信号Voutとして出力する。

【0052】次に本実施例の動作を説明する。

【0053】電流基準電圧源1は、コンデンサ3への充放電電流の基準となる電圧E1を発生し、充放電定電流源2を構成する電圧-電流変換部の演算増幅器10の非反転端子へ出力する。電圧-電流変換部は、公知の回路であるため詳細な動作説明は略す。電圧-電流変換部に入力された電圧E1は、電圧-電流変換され電流I1を発生する。

【0054】充放電定電流源2を構成する充放電定電流源部は、充電用定電流源及び放電用定電流源からなり公知のカレント・ミラー回路を組み合わせた回路であるため詳細な動作説明は略する。説明を簡略にするために抵抗器15、16、17、24、25、26の抵抗値を全て等しくし、コンデンサ3に発生する電圧E2が上限基準電圧源31より発生する電圧E3より低くかつ下限基準電圧源36より発生する電圧E4より高いと想定しレベル変換バッファ32、38の出力状態を各々電圧+Vcc、電圧-Vccにしておく。各部の電流は、

※15のようになる。

【0055】

★に発生する電圧E2が定常に三角波である状態である。コンデンサ3の値をCとすると電圧E2は、次式のようになる。

【0058】

【数3】

☆ (電圧E2の負ピーク電圧) ≥ (電圧E4) となり論理レベル「L」を出力する。

【0061】レベル変換バッファ32の出力が電圧+Vccを出力しかつレベル変換バッファ38の出力が高インピーダンスとなる状態、即ち論理和ゲート37に入力されるCLOCKが論理レベル「H」の状態では、NP N型トランジスタ22、23が非動作状態となる。電流I4、I5は、

なる。

【0062】

\*【数4】

\*

$$E2 = \frac{1}{C} \int I1 dt$$

式15

【0063】また、レベル変換バッファ32の出力が電圧+Vccを出力しかつレベル変換バッファ38の出力が電圧-Vcc出力する状態、即ち論理和ゲート37に※10

※入力されるCLOCKが論理レベル「L」の状態では、NPN型トランジスタ22、23が動作状態となる。電流I4、I5は、

$$I4 = I5 = I2$$

式16

となる。式10、式11、式16より

$$Iout = -I1$$

式17

となる。このため、充放電定電流源部は、電流I1と異符号の電流値を電流Ioutとして出力し、コンデンサ-3を放電することにより発生する電圧E2を下降させる。電圧E2の変化は、式12と式17とにより次式の★

★ようになる。

【0064】

【数5】

$$E2 = \frac{1}{C} \int -I1 dt$$

式18

【0065】上述のようにCLOCKとしてデューティ50%のクロックを入力されるため、式15の状態と式18の状態を等時間にて交互に繰り返すことにより電圧E2は、CLOCKに同期した三角波となり出力増幅器6により増幅され信号Voutとして出力される。

【0066】以下、CLOCKが位相不連続の時の動作を図5に基づき説明をする。

【0067】波形40は、CLOCKとして入力されるクロックの波形であり、また区間44、45は、位相不連続部分を示す。

【0068】波形41は、コンデンサ-3に発生する電圧E2の波形であり、また区間46、47は、区間44、45の不連続部分に対応する区間を示す。

【0069】この動作状態は、論理和ゲート37にデューティ50%であるが位相が不連続部分が論理レベル「H」で生じるクロックがCLOCKとして入力されている。

【0070】図5の波形40の区間44、45で示すようにCLOCKの位相不連続区間では、上述のように式15の状態と式18の状態を等時間にて交互に繰り返さない区間ができてしまう。

【0071】区間44、45のCLOCKは、論理レベル「H」が通常以上の継続時間を持つために上述した式15の状態即ち充電状態が通常の継続時間以上になる。

【0072】このため、コンデンサ-3に発生する電圧E2は、上限基準電圧源31より発生する電圧E3より高くなろうとする。

【0073】比較器30は、(電圧E2) > (電圧E3)となると論理レベル「H」をレベル変換バッファ32へ出力する。

☆【0074】レベル変換バッファ32の出力は、高インピーダンス状態となり、PNP型トランジスタ20を非動作状態になりI3=0となる。かつCLOCKが論理レベル「H」であるため、上述の式13の状態になっている。

【0075】即ち、コンデンサ-3が充放電されない状態となり、電圧E2は、波形41の区間46、47のように電圧E3と等しい状態を維持する。

【0076】そして、CLOCKが論理レベル「L」となると定常状態と同じように電圧E2は、式18のような変化で下降する。

【0077】即ち、電圧E2は、同期すべきCLOCKに対し、即同期した三角波を発生させ、出力増幅器6により増幅され信号Voutとして出力される。

【0078】また、図5の波形42は、CLOCKとして入力されるクロックの波形であり、また区間48、49は、位相不連続部分を示す。

【0079】波形43は、コンデンサ-3に発生する電圧E2の波形であり、また区間50、51は、区間48、49の不連続部分に対応する区間を示す。

【0080】この動作状態は、論理和ゲート37にデューティ50%であるが位相が不連続部分が論理レベル「L」で生じるクロックがCLOCKとして入力されている。

【0081】図5の波形42の区間48、49で示すようにCLOCKの位相不連続区間では、上述のように式15の状態と式16の状態を等時間にて交互に繰り返さない区間ができてしまう。

【0082】区間48、49のCLOCKは、論理レベル「L」が通常以上の継続時間を持つために上述した式



11

18の状態即ち放電状態を通常の継続時間以上になる。  
【0083】このため、コンデンサ3に発生する電圧E2は、下限基準電圧源36より発生する電圧E4より低くなろうとする。

【0084】比較器35の出力である(電圧E2) < (電圧E4)となり論理レベル「H」を出力する。論理和ゲート37は、一入力が論理レベル「L」のCLOCKが入力され、残りの他入力は、比較器35の出力である論理レベル「H」が入力され、論理レベル「H」をレベル変換バッファ38へ出力する。

【0085】レベル変換バッファ38の出力は、高インピーダンス状態となり、NPN型トランジスタ22、23を非動作状態になりI4=I5=0となる。

【0086】しかし、PNP型トランジスタ25、26は、動作状態のためコンデンサ3は、充電される状態である。

【0087】このため、電圧E2は上昇し(電圧E2) ≥ (電圧E4)となり、比較器35の出力は論理レベル「L」となり、論理和ゲートの出力は「L」となり、レベル変換バッファ38の出力は「L」となり、NPN型トランジスタ22、23を動作状態になり、再びコンデンサ3を放電し始める。そして、電圧E2は、下降する。

【0088】以上よりコンデンサ3は、電圧E4近辺の電圧で充放電を繰り返され、電圧E2は、波形43の区間50、51のように電圧E4とほぼ等しい状態を維持する。

【0089】そして、CLOCKが論理レベル「H」となると定常状態と同じように電圧E2は、式15のような変化で上昇する。

【0090】即ち、電圧E2は、同期すべきCLOCKに対し、即同期した三角波を発生させ、出力増幅器6により増幅され信号Voutとして出力される。

【0091】以下、CLOCKが断続の時の動作説明をする。

【0092】CLOCKが断続であると言うことは、CLOCKの論理レベル「H」あるいは論理レベル「L」の持続時間が長だけで上述の位相不連続と同等であると見なせる。このため、図6の波形60、61、62、63は、図5の波形40、41、41、43に対応する。また、図6の区間64、65、66、67、68、69、70、71は、図5の区間44、45、46、47、48、49、50、51に対応する。つまり、CLOCKが断続な場合の動作は、位相不連続の時と同等な動作をする。

【0093】本発明は、以上詳述した実施例に限定されるものでなく、その趣旨を逸脱しない範囲において種々の変更を加えることができる。例えば、上限制限手段および下限制限手段を比較器でなく公知の振幅制限器を用いることも可能である。また、本実施例においては、充

12

電用定電流源と放電用定電流源とを兼用した充放電定電流源を用いたが、各々別の定電流源を用いてもよい。

【0094】

【発明の効果】以上説明したことから明かなように、本発明は、充電用定電流源及び放電用定電流源により充放電されるコンデンサに発生する電圧を上限制限手段と下限制限手段により制限をすることにより外部より入力される同期すべきクロックに対し即同期した三角波を発生する同期式三角波発生回路を提供することができる。

10 【図面の簡単な説明】

【図1】本発明を具体化した一実施例の同期式三角波発生回路の全体の構成を示す図である。

【図2】上記実施例の同期式三角波発生回路の充放電定電流源の構成を示す図である。

【図3】上記実施例の同期式三角波発生回路の上限制限手段の構成を示す図である。

【図4】上記実施例の同期式三角波発生回路の下限制限手段の構成を示す図である。

20 【図5】上記実施例の同期式三角波発生回路において位相不連続なCLOCKを入力した場合の出力である信号Voutの波形を示す図である。

【図6】上記実施例の同期式三角波発生回路において断続なCLOCKを入力した場合の出力である信号Voutの波形を示す図である。

【図7】従来の同期式三角波発生回路の全体の構成を示す図である。

【図8】従来の同期式三角波発生回路の電圧利得制御増幅器の構成を示す回路図である。

30 【図9】従来の同期式三角波発生回路の充放電定電流源の構成を示す回路図である。

【図10】従来の同期式三角波発生回路の検波器の構成を示す回路図である。

【図11】従来の同期式三角波発生回路の引算器の構成を示す回路図である。

【図12】従来の同期式三角波発生回路での入力であるCLOCKと出力である信号Voutとの関係を示すタイミング図である。

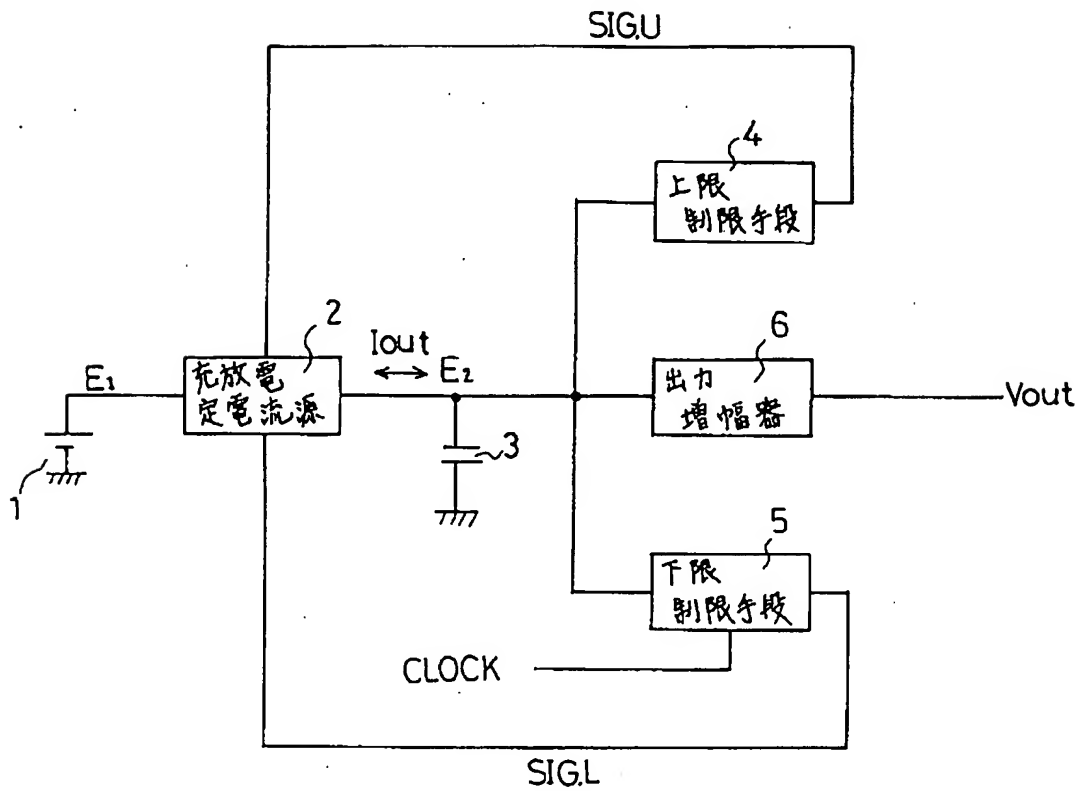
40 【図13】従来の同期式三角波発生回路において位相不連続なCLOCKを入力した場合の出力である信号Voutの波形を示す図である。

【図14】従来の同期式三角波発生回路において断続なCLOCKを入力した場合の出力である信号Voutの波形を示す図である。

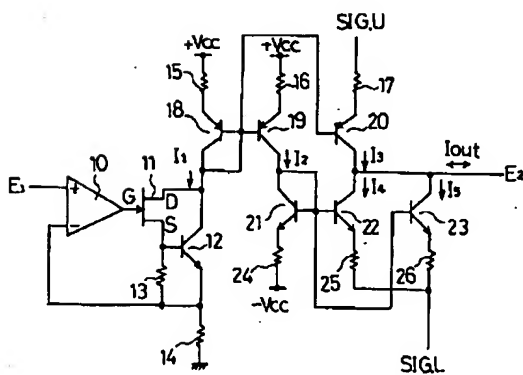
【符号の説明】

- 1 電流基準電圧源
- 2 充放電定電流源
- 3 コンデンサ
- 4、上限制限手段
- 5、下限制限手段

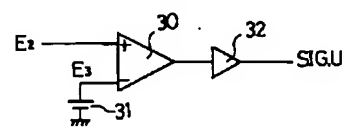
【図 1】



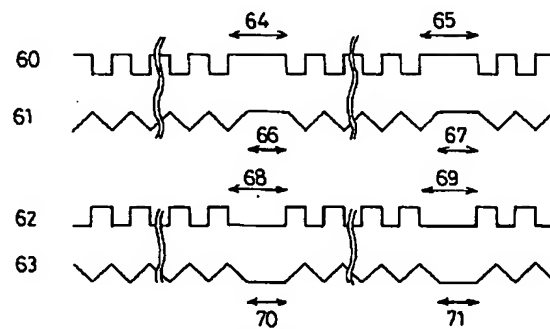
【图2】



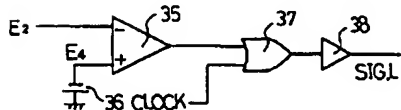
【図3】



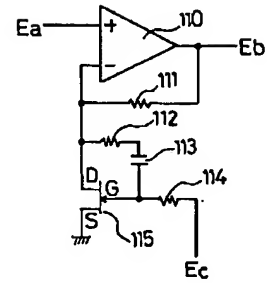
【図6】



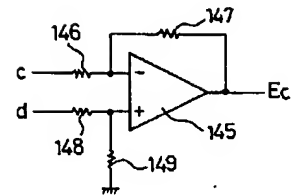
【図4】



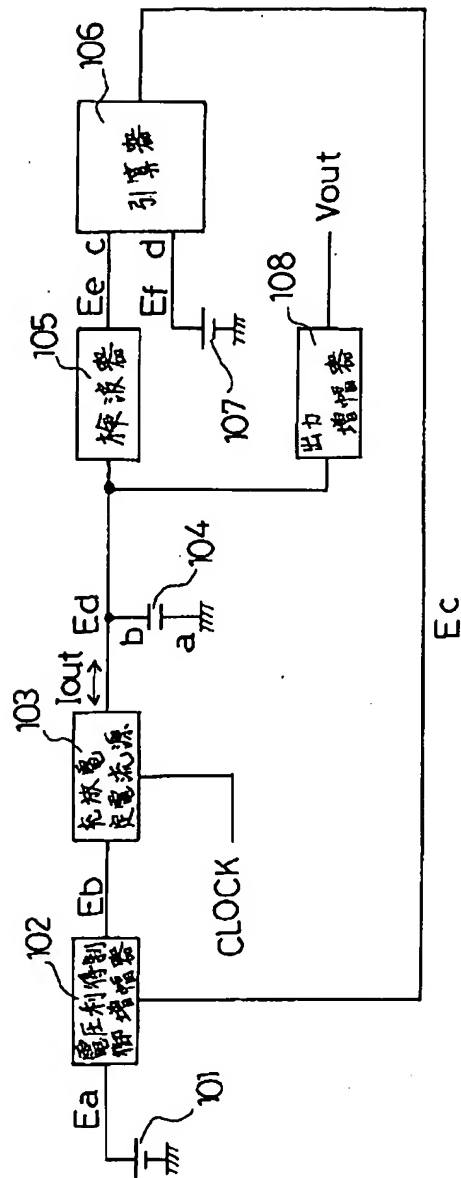
【図8】



【图 1 1】



【図7】



【図14】

